

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Genichi TANAKA)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: July 11, 2003)	Confirmation No.: Unassigned
)	
For: DEVICE FOR CREATING TIMING)	
CONSTRAINTS)	

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-084909

Filed: March 26, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: July 11, 2003

By:

Platon N. Mandrus

Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月26日

出 願 番 号

Application Number:

特願2003-084909

[ST.10/C]:

[JP2003-084909]

出 願 人

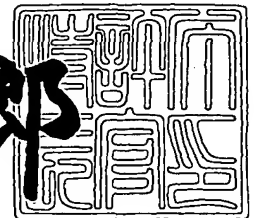
Applicant(s):

三菱電機株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3028588

【書類名】 特許願

【整理番号】 544147JP01

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82
G06F 17/50

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
 社内

 【氏名】 田中 玄一

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089118

 【弁理士】

 【氏名又は名称】 酒井 宏明

【手数料の表示】

 【予納台帳番号】 036711

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 タイミング制約生成装置

【特許請求の範囲】

【請求項 1】 対象とする半導体集積回路の動作速度を定義するタイミング制約と論理接続情報を記述したネットリストとセル自体の論理情報およびタイミング情報を含むライブラリとからタイミング検証の対象となるデータ転送パスのうち上位階層ブロックに含まれる少なくとも 2 つの下位階層ブロック間に形成されるデータ転送パスの全てを対象パスとして抽出する対象パス抽出手段と、

抽出された前記対象パスの全てにタイミング例外の指定をユーザが選択可能に付加した対象パス一覧を生成し、ユーザに提示する対象パス出力手段と、

ユーザが提示された前記対象パス一覧にて指定したタイミング例外に応じて前記タイミング制約に修正を施し新たなタイミング制約を生成するタイミング制約修正手段と、

を備えたことを特徴とするタイミング制約生成装置。

【請求項 2】 対象パス抽出手段は、

前記少なくとも 2 つの下位階層ブロック間に形成されるデータ転送パスのうちユーザが指定したデータ転送パスを対象パスとして抽出する、

ことを特徴とする請求項 1 に記載のタイミング制約生成装置。

【請求項 3】 前記対象パス出力手段は、

抽出された前記対象パスのうちユーザが指定したデータ転送パスにタイミング例外の指定をユーザが選択可能に付加した対象パス一覧を生成する、

ことを特徴とする請求項 1 に記載のタイミング制約生成装置。

【請求項 4】 前記対象パス出力手段は、

前記対象パス一覧のパス毎にタイミング検証結果を付加する、

ことを特徴とする請求項 1 ～ 3 のいずれか一つに記載のタイミング制約生成装置。

【請求項 5】 前記対象パス抽出手段は、

前記少なくとも 2 つの下位階層ブロック間に形成されるデータ転送パスのうちタイミングエラーが存在するデータ転送パスを対象パスとして抽出する、

ことを特徴とする請求項 4 に記載のタイミング制約生成装置。

【請求項 6】 前記対象パス出力手段は、

抽出された前記対象パスのうちタイミングエラーが存在する対象パスにタイミング例外の指定をユーザが選択可能に付加した対象パス一覧を生成する、

ことを特徴とする請求項 1 ～ 3 のいずれか一つに記載のタイミング制約生成装置。

【請求項 7】 前記対象パス出力手段は、

抽出された前記対象パスのうちタイミング検証結果のタイミングが一定範囲内にあるデータ転送パスにタイミング例外の指定をユーザが選択可能に付加した対象パス一覧を生成する、

ことを特徴とする請求項 1 ～ 3 のいずれか一つに記載のタイミング制約生成装置。

【請求項 8】 前記対象パス抽出手段は、

前記少なくとも 2 つの下位階層ブロック間に形成されるデータ転送パスのうちタイミング検証結果のタイミングが一定範囲内にあるデータ転送パスを対象パスとして抽出する、

ことを特徴とする請求項 1 に記載のタイミング制約生成装置。

【請求項 9】 前記対象パス出力手段は、

前記対象パス一覧にタイミング例外の指定を行うクロック関係を付加する、

ことを特徴とする請求項 1 ～ 8 のいずれか一つに記載のタイミング制約生成装置。

【請求項 10】 前記対象パス出力手段は、

前記対象パス一覧にタイミング例外の指定を行う下位階層ブロックの関係を付加する、

ことを特徴とする請求項 1 ～ 9 のいずれか一つに記載のタイミング制約生成装置。

【請求項 11】 前記ユーザが指定した対象パスは、

隣の下位階層ブロックとの間でデータの入出力がある 1 以上の下位階層ブロックにおける入出力パスである、

ことを特徴とする請求項 2 または 3 に記載のタイミング制約生成装置。

【請求項 1 2】 前記ユーザが指定した対象パスは、

隣の下位階層ブロックにデータ出力を行う 1 以上の下位階層ブロックにおける出力パスである、

ことを特徴とする請求項 2 または 3 に記載のタイミング制約生成装置。

【請求項 1 3】 前記ユーザが指定した対象パスは、

隣の下位階層ブロックからデータの入力がある 1 以上の下位階層ブロックにおける入力パスである、

ことを特徴とする請求項 2 または 3 に記載のタイミング制約生成装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体集積回路の設計に用いるタイミング制約生成装置に関するものである。

【0 0 0 2】

【従来の技術】

半導体集積回路の設計では、回路全体を幾つかのブロックに分割し、各ブロックの面積や形状を決定し、ネットリストに基づき各ブロックの詳細設計を行い、下位階層ブロックから上位階層ブロックへと個々のブロックを接続して組み上げるボトムアップ階層設計が採用されている。

【0 0 0 3】

このボトムアップ階層設計において、個々のブロックを接続して組み上げる過程では、各下位階層ブロックのタイミング制約をそれぞれ作成し、その作成した下位階層ブロックのタイミング制約を組み合わせる上位階層ブロックのタイミング制約を作成している。この場合、通常、下位階層ブロック間のデータ転送に関しては、タイミングを顧慮しないで良いパスなどタイミング検証対象外となるデータ転送パスが存在しているので、上位階層ブロックでのタイミング最適化実行前にそのタイミング検証対象外となるデータ転送パスの指定が必要である。

【0 0 0 4】

【発明が解決しようとする課題】

しかしながら、従来では、下位階層間のデータ転送に関するタイミング検証対象外となるデータ転送パスの指定は、設計者が手作業で行っているため、指定漏れが起こることがある。そのような指定漏れが存在すると、上位階層ブロックでのタイミング最適化時に不要なパスを最適化しようとするので、実行時間が増大し、また真に最適化が必要なパスの最適化が行われないうことが起こるといった問題がある。

【0005】

また、修正したタイミング制約を使用してレイアウトを作成した場合に、それ以前には見つからなかった別のエラーが発生すると、設計者が再度手作業でその発生したエラーがタイミング検証対象外のパスであるか否かの確認を行うが、この確認作業が繰り返し発生することがあり、改善が望まれている。

【0006】

この発明は、上記に鑑みてなされたもので、半導体集積回路の設計において、タイミング制約を漏れなく、かつ早期に完成することができるタイミング制約生成装置を得ることを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかるタイミング制約生成装置は、対象とする半導体集積回路の動作速度を定義するタイミング制約と論理接続情報を記述したネットリストとセル自体の論理情報およびタイミング情報を含むライブラリとからタイミング検証の対象となるデータ転送パスのうち上位階層ブロックに含まれる少なくとも2つの下位階層ブロック間に形成されるデータ転送パスの全てを対象パスとして抽出する対象パス抽出手段と、抽出された前記対象パスの全てにタイミング例外の指定をユーザが選択可能に付加した対象パス一覧を生成し、ユーザに提示する対象パス出力手段と、ユーザが提示された前記対象パス一覧にて指定したタイミング例外に応じて前記タイミング制約に修正を施し新たなタイミング制約を生成するタイミング制約修正手段とを備えたことを特徴とする。

【0008】

この発明によれば、タイミング制約とネットリストとライブラリとからタイミング検証の対象となるデータ転送パスのうち上位階層ブロックに含まれる少なくとも2つの下位階層ブロック間に形成されるデータ転送パスの全てを対象パスとして抽出し、それにタイミング例外の指定が行えるようにした対象パス一覧をユーザに対して提示し、ユーザが指定したタイミング例外に応じて前記タイミング制約に修正を施し新たなタイミング制約を生成するようにしたので、タイミング制約を漏れなく、かつ早期に完成することができる。

【 0 0 0 9 】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかるタイミング制約生成装置の好適な実施の形態を詳細に説明する。

【 0 0 1 0 】

図1は、この発明の一実施の形態であるタイミング制約生成装置の構成を示すブロック図である。図1に示すタイミング制約生成装置100は、対象パス抽出部101と対象パス出力部102とユーザ入力検出部103とタイミング制約修正部104とを備えている。また、周辺装置として、データベースであるネットリストファイル105、タイミング制約ファイル106およびライブラリファイル107と、出力装置であるタイミング制約ファイル108とを備えている。

【 0 0 1 1 】

ネットリストファイル105には、対象とする半導体集積回路の論理接続情報を記述したネットリストが格納されている。タイミング制約ファイル106には、セットアップおよびホールドの解析を行う回路の動作速度を定義したタイミング制約が格納されている。ライブラリファイル107には、各セル自体の論理積およびタイミング情報を含むライブラリが格納されている。

【 0 0 1 2 】

対象パス抽出部101は、ネットリスト、タイミング制約およびライブラリの情報からタイミング検証の対象となるデータ転送パスのうち上位階層ブロックに含まれる下位階層ブロック間に形成されるデータ転送パスを対象パスとして抽出する。

【 0 0 1 3 】

対象パス出力部 1 0 2 は、抽出された対象パスに少なくともタイミング例外の項目を付加した対象パス一覧 1 0 9 を生成し、ユーザが認識できる装置（表示装置や、印刷装置、さらにはファイル）に出力する。ここで、タイミング例外は、データ転送パスをタイミング検証対象外とする方法であり、例えば、フォールスパス（false path）、マルチサイクルパス（multi cycle path）、ディスエイブルパス（disable path）としている。

【 0 0 1 4 】

ユーザ入力検出部 1 0 3 は、ユーザが対象パス一覧 1 0 9 において対象外指定を行った指定入力 1 1 0 から、指定されたタイミング検証対象外となるデータ転送パスを検出し、タイミング制約修正部 1 0 4 に与える。

【 0 0 1 5 】

タイミング制約修正部 1 0 4 は、ユーザが指定したタイミング検証対象外となるデータ転送パスの情報に基づき、タイミング制約ファイル 1 0 6 に格納されるタイミング制約に修正（追加と削除の一方または双方）を施して新たなタイミング制約を生成し、タイミング制約ファイル 1 0 8 に格納する。

【 0 0 1 6 】

〔動作例 1〕

図 1 ～図 4 を参照して、以上のように構成されるタイミング制約生成装置 1 0 0 の動作（動作例 1）について説明する。なお、図 2 は、上位階層ブロックに含まれる下位階層ブロック間でのデータ転送関係を説明する図である（その 1）。図 3 は、図 2 に示すデータ転送関係において図 1 に示す対象パス出力部 1 0 2 がユーザにタイミング検証対象外とするデータ転送パスの指定を求めるために提示する対象パス一覧 1 0 9 の例（その 1）を示す図である。図 4 は、図 3 に示す対象パス一覧においてユーザが行った指定例を示す図である。

【 0 0 1 7 】

上位階層ブロックに含まれる下位階層ブロックは、3 以上の場合もあるが、図 2 では、説明の便宜から、上位階層ブロック 1 1 2 には、下位階層ブロック A 1 1 3 と下位階層ブロック B 1 1 4 との 2 つが含まれるとしている。

【0018】

下位階層ブロックA113と下位階層ブロックB114とは、それぞれ複数の順序回路とその組み合わせ回路によって構成されるが、それらは、その下位階層ブロック内だけでデータ転送を行うものと、隣の下位階層ブロックとデータ転送を行うものとに分けることができる。図2では、隣の下位階層ブロックとデータ転送を行う順序回路が例示されている。

【0019】

すなわち、下位階層ブロックA113では、順序回路（#1）115、順序回路（#2）116、順序回路（#3）117、順序回路（#4）118が示されている。下位階層ブロックB114では、順序回路（#5）119、順序回路（#6）120、順序回路（#7）121、順序回路（#8）122が示されている。

【0020】

そして、順序回路（#1）115と順序回路（#2）116とから順序回路（#5）119と順序回路（#6）120とに向かうデータ転送パスが形成され、順序回路（#7）121と順序回路（#8）122とから順序回路（#3）117と順序回路（#4）118とに向かうデータ転送パスが形成される場合が示されている。

【0021】

対象パス抽出部101は、ネットリストファイル105とタイミング制約ファイル106とライブラリファイル107とに格納される情報に基づき、下位階層ブロックA113と下位階層ブロックB114との間に形成される上記したデータ転送パスを対象パスとして抽出する。抽出方法は、タイミング検証にて行われる方法と同じである。

【0022】

対象パス出力部102は、対象パス抽出部101の抽出結果を受けて、ユーザに提示する対象パス一覧109を例えば図3に示す形式で生成する。図3に示すように、対象パスの欄には、下位階層ブロックA113と下位階層ブロックB114との間に形成されるデータ転送パス「#1-#5」「#1-#6」「#2-

「#5」「#2-#6」「#7-#3」「#7-#4」「#8-#3」「#8-#4」の全てが掲載されている。

【0023】

そして、タイミング例外として、「フォールス (false)」「マルチサイクル (multi cycle)」「ディスエイブル (disable)」がパス毎に選択可能に掲載されている。

【0024】

図4において、順序回路115から順序回路119へのパス「#1-#5」では、「フォールス (false)」がチェックされている。これは、ユーザがパス「#1-#5」をタイミング検証完全対象外 (false path) にすると指定したことを示している。

【0025】

また、順序回路116から順序回路120へのパス「#2-#6」では、「マルチサイクル (multi cycle)」がチェックされ、“2”が記入されている。これは、ユーザがパス「#2-#6」では、2サイクルのクロック周期でデータ転送を行うべきと指定したことを示している。

【0026】

タイミング制約修正部104では、ユーザが指定した、パス「#1-#5」をフォールスパス (false path) にし、パス「#1-#5」を2サイクルのマルチサイクルパス (multi cycle path) にするという情報をタイミング制約ファイル106に存在するタイミング制約に追加する。

【0027】

そして、図4では図示省略したが、ユーザが「ディスエイブル (disable)」を選択したときは、該当するデータ転送パスは削除することになる。このように修正されたタイミング制約は、タイミング制約ファイル108のフォーマットに合わせた形式で作成され、格納される。

【0028】

これによって、タイミング制約が漏れなく、かつ早期に完成できる。その結果、設計者はタイミング検証対象外の指定という煩雑な手作業から解放されるので

、設計時間が短縮されることになる。

【0029】

〔動作例2〕

図1～図3、図5を参照して、以上のように構成されるタイミング制約生成装置100の動作例2について説明する。なお、図5は、図2に示すデータ転送関係において図1に示す対象パス出力部がユーザにタイミング検証対象外とするデータ転送パスの指定を求めるために提示する対象パス一覧の例（その2）を示す図である。

【0030】

対象パス出力部102は、図3に示したように全てのデータ転送パスについての対象パス一覧109を生成する際に、図5に示すように、各パスのタイミング検証の結果得られたタイミング情報「スラック（slack）」を併せて対象パス一覧109に加えることを行う。

【0031】

なお、図5に示す追加したタイミング情報「スラック（slack）」は、セットアップ情報を示すが、これ1つのみではなく、ホールド情報や駆動するクロックを追加掲載してもよい。

【0032】

これによって、効率よくタイミング制約が発見できるので、一層、タイミング制約が漏れなく、かつ早期に完成できる。その結果、設計時間が短縮されることになる。

【0033】

〔動作例3〕

図1～図3、図5を参照して、以上のように構成されるタイミング制約生成装置100の動作（動作例3）について説明する。動作例1，2では、対象パス出力部102は、図3に示したように全てのデータ転送パスについての対象パス一覧109を生成するとしたが、動作例3では、対象パス出力部102は、タイミング検証の結果、タイミングエラーが発生しているデータ転送パスのみについての対象パス一覧109を生成するようにしている。

【 0 0 3 4 】

図 5 に示した例で言えば、「# 1 - # 5」「# 1 - # 6」「# 2 - # 6」の 3 つのデータ転送パスのみでタイミングエラーが発生しているとすれば、対象パス出力部 1 0 2 は、この「# 1 - # 5」「# 1 - # 6」「# 2 - # 6」の 3 つのデータ転送パスのみを掲載した対象パス一覧 1 0 9 を生成することになる。

【 0 0 3 5 】

これによって、効率よくタイミング制約が発見できるので、一層、タイミング制約が漏れなく、かつ早期に完成できる。その結果、設計時間が短縮されることになる。

【 0 0 3 6 】

〔動作例 4〕

図 1 ～図 3、図 5 を参照して、以上のように構成されるタイミング制約生成装置 1 0 0 の動作（動作例 4）について説明する。動作例 2 では、対象パス出力部 1 0 2 は、図 5 に示したように全てのデータ転送パスについてタイミング情報を追加するとしたが、動作例 3 では、対象パス出力部 1 0 2 は、タイミング検証の結果、タイミングが一定範囲内に入っているデータ転送パスのみについての対象パス一覧 1 0 9 を生成する。なお、この一定範囲は、予め定められている。

【 0 0 3 7 】

図 5 に示した例で言えば、一定範囲が「- 2 n s 以下」とであるとすれば、対象パス出力部 1 0 2 は、「# 1 - # 5」と「# 2 - # 6」の 2 つのデータ転送パスのみを掲載した対象パス一覧 1 0 9 を生成することになる。

【 0 0 3 8 】

これによって、効率よくタイミング制約が発見できるので、一層、タイミング制約が漏れなく、かつ早期に完成できる。その結果、設計時間が短縮されることになる。

【 0 0 3 9 】

〔動作例 5〕

図 1、図 3、図 6、図 7 を参照して、以上のように構成されるタイミング制約生成装置 1 0 0 の動作（動作例 5）について説明する。なお、図 6 は、上位階層

ブロックに含まれる下位階層ブロック間でのデータ転送関係を説明する図である（その２）。図 7 は、図 6 に示すデータ転送関係において図 1 に示す対象パス出力部がユーザにタイミング検証対象外とするデータ転送パスの指定を求めるために提示する対象パス一覧の例（その 1）を示す図である。

【 0 0 4 0 】

図 6 では、説明の便宜から図 2 と同一の符号が用いられ、転送関係も同様であるとし、新たにクロック CLK とクロック CLK0 とが追加されている。

【 0 0 4 1 】

すなわち、下位階層ブロック A 1 1 3 では、順序回路（＃ 1 ） 1 1 5，順序回路（＃ 2 ） 1 1 6，順序回路（＃ 3 ） 1 1 7 がクロック CLK にて駆動され、順序回路（＃ 4 ） 1 1 8 がクロック CLK0 にて駆動されるとしている。

【 0 0 4 2 】

また、下位階層ブロック B 1 1 4 では、順序回路（＃ 5 ） 1 1 9，順序回路（＃ 6 ） 1 2 0，順序回路（＃ 7 ） 1 2 1 がクロック CLK にて駆動され、順序回路（＃ 8 ） 1 2 2 がクロック CLK0 にて駆動されるとしている。

【 0 0 4 3 】

この場合、対象パス出力部 1 0 2 は、図 3 に示したように全てのデータ転送パスについての対象パス一覧 1 0 9 を生成する際に、図 7 に示すように、順序回路が駆動されるクロック関係「clk-clk」「clk-clk0」「clk0-clk」「clk0-clk0」を追加し、クロック関係においてもタイミング例外の指定が行えるようになっている。

【 0 0 4 4 】

これによって、効率よくタイミング制約が発見できるので、一層、タイミング制約が漏れなく、かつ早期に完成できる。その結果、設計時間が短縮されることになる。

【 0 0 4 5 】

〔動作例 6〕

図 1、図 3、図 6～図 8 を参照して、以上のように構成されるタイミング制約生成装置 1 0 0 の動作（動作例 6）について説明する。なお、図 8 は、図 6 に示

すデータ転送関係において図 1 に示す対象パス出力部がユーザにタイミング検証対象外とするデータ転送パスの指定を求めるために提示する対象パス一覧の例（その 2）を示す図である。

【 0 0 4 6 】

対象パス出力部 1 0 2 は、図 3 に示したように全てのデータ転送パスについての対象パス一覧 1 0 9 に、図 7 に示すように、順序回路が駆動されるクロック関係「c l k - c l k」「c l k - c l k 0」「c l k 0 - c l k」「c l k 0 - c l k 0」を追加する際に、下位階層ブロック（A） 1 1 3 と下位階層ブロック（B） 1 1 4 とのブロック関係「A - B」も追加し、ブロック関係「A - B」においてもタイミング例外の指定が行えるようになっている。

【 0 0 4 7 】

これによって、効率よくタイミング制約が発見できるので、一層、タイミング制約が漏れなく、かつ早期に完成できる。その結果、設計時間が短縮されることになる。

【 0 0 4 8 】

〔動作例 7〕

この動作例 7 では、以上説明した各種の動作例に対する変形例（その 1）を説明する。すなわち、図 1 では、図示省略したが、この発明では、ユーザが対象パス出力部 1 0 2 が生成する対象パス一覧 1 0 9 の内容について指定できるようになっている。その結果、（1）～（3）の処理が行えるようになる。

【 0 0 4 9 】

（1）動作例 1 ～ 3， 5， 6 では、ユーザがタイミング例外の指定を検討する必要のあるデータ転送パスの指定を行うと、対象パス出力部 1 0 2 は、対象パス抽出部 1 0 1 が抽出したデータ転送パスのうちユーザが指定したデータ転送パスの全てについて対象パス一覧 1 0 9 を生成することになる。

【 0 0 5 0 】

（2）動作例 4 では、タイミングの範囲（一定範囲）を指定すると、対象パス出力部 1 0 2 は、対象パス抽出部 1 0 1 が抽出したデータ転送パスのうちユーザが指定した一定範囲内にタイミングが入っているデータ転送パスのみについて対

象パス一覧109を生成することになる。

【0051】

(3) 動作例1～6において、ユーザは、①隣の下位階層ブロックとの間でデータの入出力がある1以上の下位階層ブロックにおける入出力パス、②隣の下位階層ブロックにデータ出力を行う1以上の下位階層ブロックにおける出力パス、③隣の下位階層ブロックからデータの入力がある1以上の下位階層ブロックにおける入力パス、のいずれか一つを指定することができる。

【0052】

この場合には、対象パス出力部102は、対象パス一覧109として、ユーザが指定した下位階層ブロックについてデータが出入りするデータ転送パスを掲載した対象パス一覧109を生成することになる。この方法は、下位階層ブロックが多数存在する場合に有効である。

【0053】

これによっても、効率よくタイミング制約が発見できるので、一層、タイミング制約が漏れなく、かつ早期に完成できる。その結果、設計時間が短縮されることになる。

【0054】

[動作例8]

この動作例8では、以上説明した各種の動作例に対する変形例(その2)を説明する。すなわち、この発明では、対象パス抽出部101は、次の(1)～(3)の動作が行えるようになっている。

【0055】

(1) 動作例1～6では、ユーザがタイミング例外の指定を検討する必要のあるデータ転送パスの指定を行うと、対象パス抽出部101は、2つの下位階層ブロックA113、B114間に形成されるデータ転送パスのうちユーザが指定したデータ転送パスを対象パスとして抽出するようになっている。

【0056】

(2) 動作例2では、対象パス抽出部101は、2つの下位階層ブロックA113、B114間に形成されるデータ転送パスのうちタイミングエラーが存在す

るデータ転送パスを対象パスとして抽出するようになっている。

【0057】

(3) 動作例4では、対象パス抽出部101は、2つの下位階層ブロックA113, B114間に形成されるデータ転送パスのうちタイミング検証結果のタイミングが一定範囲内にあるデータ転送パスを対象パスとして抽出するようになっている。

【0058】

これによっても、効率よくタイミング制約が発見できるので、一層、タイミング制約が漏れなく、かつ早期に完成できる。その結果、設計時間が短縮されることになる。

【0059】

【発明の効果】

以上説明したように、この発明によれば、半導体集積回路の設計において、タイミング制約とネットリストとライブラリとからタイミング検証の対象となるデータ転送パスのうち上位階層ブロックに含まれる少なくとも2つの下位階層ブロック間に形成されるデータ転送パスの全てを対象パスとして抽出し、それにタイミング例外の指定が行えるようにした対象パス一覧をユーザに対して提示し、ユーザが指定したタイミング例外に応じて前記タイミング制約に修正を施し新たなタイミング制約を生成するようにしたので、タイミング制約を漏れなく、かつ早期に完成することができる。したがって、設計時間の短縮が可能となる。

【図面の簡単な説明】

【図1】 この発明の一実施の形態であるタイミング制約生成装置の構成を示すブロック図である。

【図2】 上位階層ブロックに含まれる下位階層ブロック間でのデータ転送関係を説明する図である（その1）。

【図3】 図2に示すデータ転送関係において図1に示す対象パス出力部がユーザにタイミング検証対象外とするデータ転送パスの指定を求めるために提示する対象パス一覧の例（その1）を示す図である。

【図4】 図3に示す対象パス一覧においてユーザが行った指定例を示す図

である。

【図 5】 図 2 に示すデータ転送関係において図 1 に示す対象パス出力部がユーザにタイミング検証対象外とするデータ転送パスの指定を求めるために提示する対象パス一覧の例（その 2）を示す図である。

【図 6】 上位階層ブロックに含まれる下位階層ブロック間でのデータ転送関係を説明する図である（その 2）。

【図 7】 図 6 に示すデータ転送関係において図 1 に示す対象パス出力部がユーザにタイミング検証対象外とするデータ転送パスの指定を求めるために提示する対象パス一覧の例（その 1）を示す図である。

【図 8】 図 6 に示すデータ転送関係において図 1 に示す対象パス出力部がユーザにタイミング検証対象外とするデータ転送パスの指定を求めるために提示する対象パス一覧の例（その 2）を示す図である。

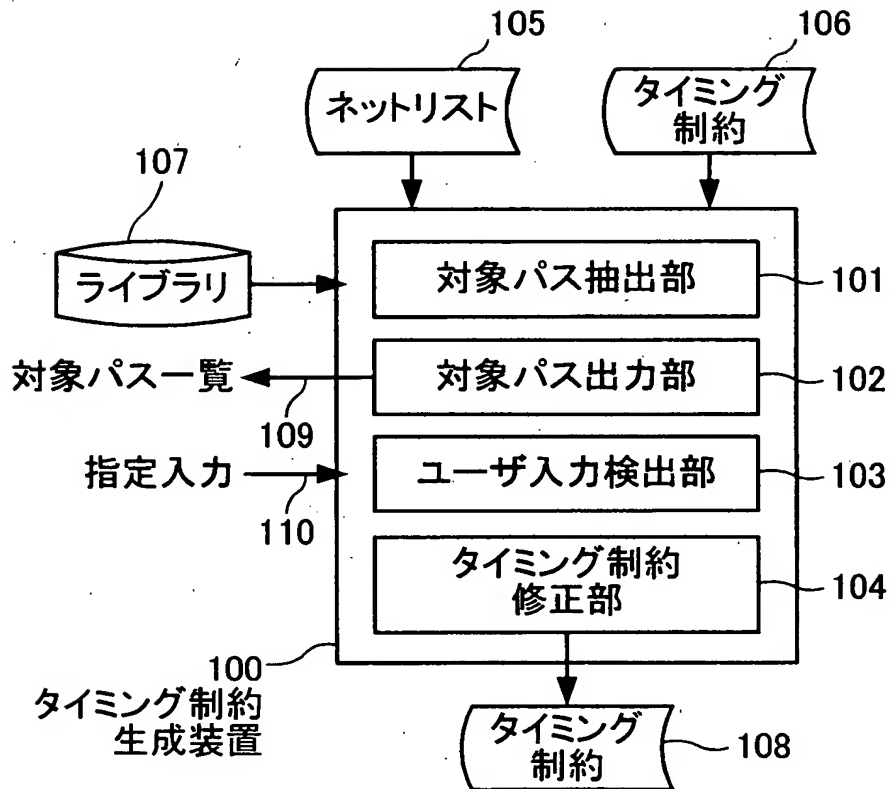
【符号の説明】

1 0 0 タイミング制約生成装置、1 0 1 対象パス抽出部、1 0 2 対象パス出力部、1 0 3 ユーザ入力検出部、1 0 4 タイミング制約修正部、1 0 5 ネットリストファイル、1 0 6 タイミング制約ファイル、1 0 7 ライブラリファイル、1 0 8 タイミング制約ファイル、1 0 9 対象パス一覧、1 1 0 ユーザの指定入力。

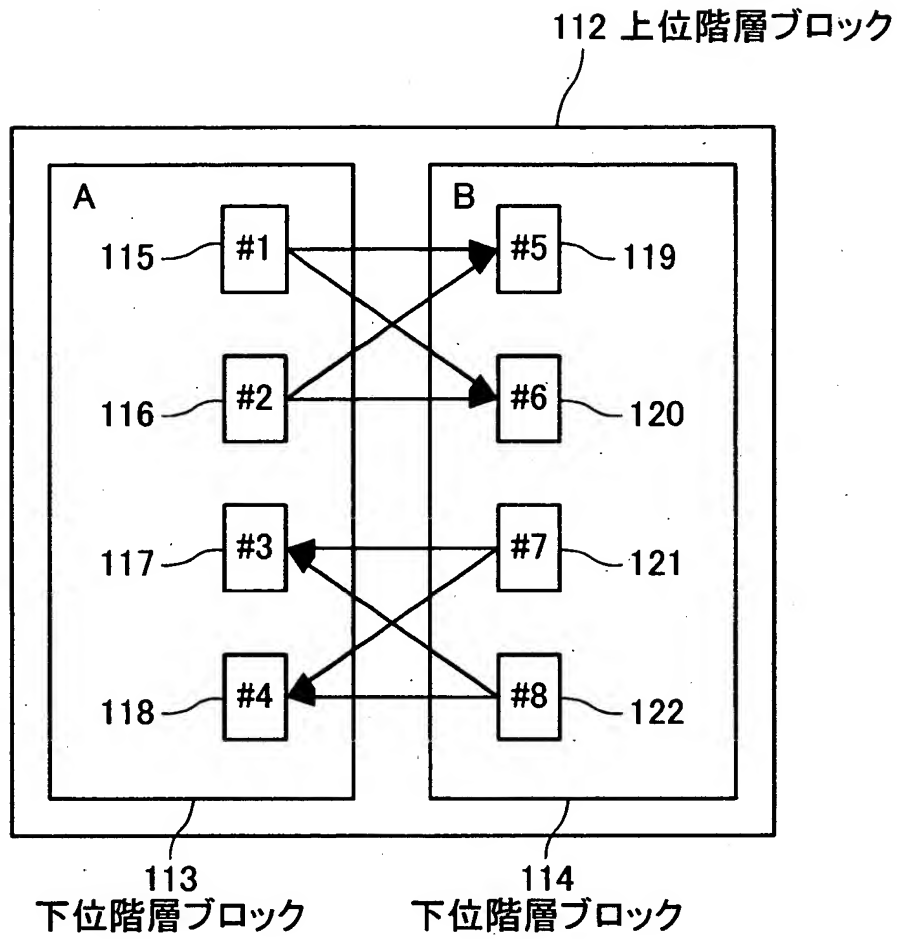
【書類名】

図面

【図 1】



【図 2】



【図 3】

対象パス	false	multi cycle	disable
#1-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#1-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#2-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#2-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#7-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#7-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#8-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#8-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>

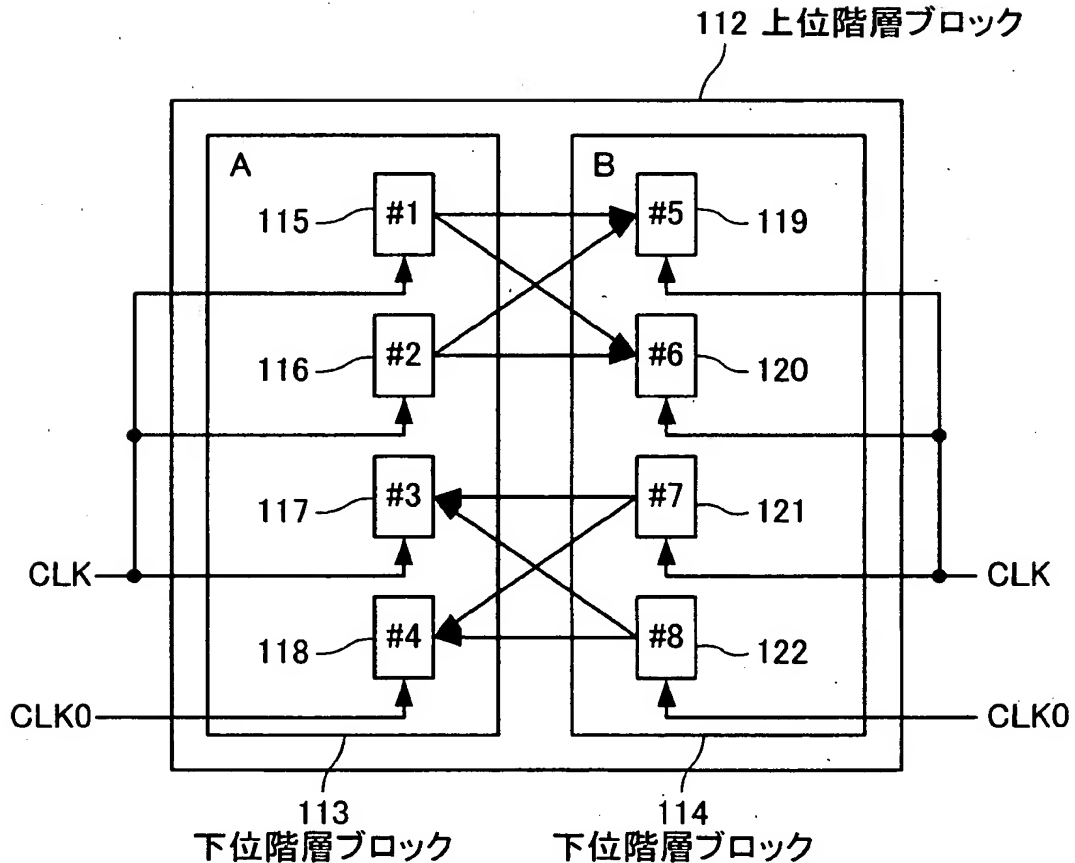
【図 4】

対象パス	false	multi cycle	disable
#1-#5	<input checked="" type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#1-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#2-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#2-#6	<input type="checkbox"/>	<input checked="" type="checkbox"/> (2)	<input type="checkbox"/>
#7-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#7-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#8-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#8-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>

【図 5】

対象パス	false	multi cycle	disable	slack
#1-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>	-5.105
#1-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>	-0.105
#2-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>	+0.316
#2-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>	-3.761
#7-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>	+0.742
#7-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>	+0.311
#8-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>	+0.462
#8-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>	+0.269

【図 6】



【図 7】

対象パス	false	multi cycle	disable
clk-clk	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#1-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#1-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#2-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#2-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#7-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
clk-clk0	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#7-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
clk0-clk	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#8-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
clk0-clk0	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#8-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>

【図 8】

対象パス	false	multi cycle	disable
A-B	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
clk-clk	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#1-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#1-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#2-#5	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#2-#6	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#7-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
clk-clk0	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#7-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
clk0-clk	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#8-#3	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
clk0-clk0	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>
#8-#4	<input type="checkbox"/>	<input type="checkbox"/> ()	<input type="checkbox"/>

【書類名】 要約書

【要約】

【課題】 タイミング制約を漏れなく、かつ早期に完成すること。

【解決手段】 対象パス抽出部 1 0 1 はタイミング制約とネットリストとライブラリとからタイミング検証の対象となるデータ転送パスのうち上位階層ブロックに含まれる少なくとも 2 つの下位階層ブロック間に形成されるデータ転送パスの全てを対象パスとして抽出する。対象パス出力部 1 0 3 はタイミング例外の指定が行えるようにした対象パス一覧 1 0 9 をユーザに対して提示する。タイミング制約修正部 1 0 4 はユーザが指定したタイミング例外に応じて前記タイミング制約に修正を施し新たなタイミング制約を生成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社